

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-099762

(43)Date of publication of application : 30.07.1980

(51)Int.CI. H01L 27/06
 G11C 11/34
 H01L 29/78

(21)Application number : 54-007126

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.01.1979

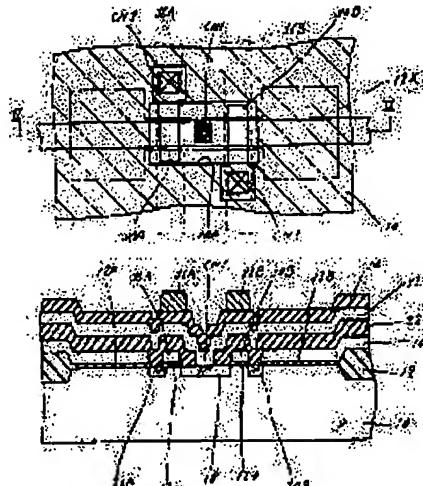
(72)Inventor : KAWAMOTO HIROSHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To make it possible to get high speed operation without lowering reliability by forming the surface electrode of an information storage capacitor, the gate of an information transfer IGFET and a digit line by using the 1st, 2nd and the 3rd layers poly-silicon.

CONSTITUTION: Field oxide film 12 consisting of SiO₂ is formed on P-type Si semiconductor substrate 10 by selective diffusion, and outline 12X for forming an active region is provided here. Inside this are placed thin silicon oxide films 12A, 12B, 12a, 12b, which have been formed by heat oxidization. The 2nd poly-silicon layers 30A, 30B provided on films 12a and 12b are used only as the gate electrodes of the 1st and 2nd IGFET, and not used as a word line simultaneously. A digit line, to be connected to N⁺-type common source region 18 by means of contact CN1, is formed of the 3rd poly-silicon layer 32. A word line which crosses digit line 32 is formed of the 4th metal layers 36A and 36B.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭55-99762

⑫ Int. Cl.³
 H 01 L 27/06
 G 11 C 11/34
 H 01 L 29/78

識別記号 ⑬ 庁内整理番号
 101 6426-5F
 7922-5B
 6603-5F

⑭ 公開 昭和55年(1980)7月30日
 発明の数 1
 審査請求 未請求

(全 4 頁)

⑮ 半導体記憶装置

⑯ 特 願 昭54-7126
 ⑰ 出 願 昭54(1979)1月26日
 ⑱ 発明者 川本洋
 小平市上水本町1450番地株式会

社日立製作所コンピュータ事業
 本部デバイス開発センター内

⑲ 出願人 株式会社日立製作所
 東京都千代田区丸の内1丁目5
 番1号
 ⑳ 代理人 弁理士 薄田利幸

明細書

発明の名前 半導体記憶装置

特許請求の範囲

1. 絶縁ゲート型電界効果トランジスタによって情報蓄積用キャッシュへの情報電荷の出し入れを制御するようにした1トランジスタ形式のセル構造をそなえ、となり合うセルのトランジスタの共通ソース領域に接続したデジット線を各々のセルのトランジスタのゲートとICに対応して接続したワード線とほぼ直交するように配置して成る半導体記憶装置において、前記キャッシュへの接続電極と、前記トランジスタのゲートと、前記デジット線とをいずれもポリシリコンで形成すると共に、前記ワード線を前記デジット線に上から重なる金属層で形成したことを特徴とする半導体記憶装置。

発明の詳細な説明

この発明は、絶縁ゲート型電界効果トランジスタ(以下、IGFETといふ)によって情報蓄積用キャッシュへの情報電荷の出し入れを制御するようにした1トランジスタ形式のセル構造を有す

る半導体記憶装置に関する。

一般に、この種の半導体記憶装置は、その1つメモリセルの等価回路を第1図に示してあるように、情報伝達用のIGFET Qと、情報蓄積用キャッシュ Cとからなるメモリセルをワード線 WL及びデジット線 DLの交叉点に対応して多数個マトリクス状に配置することによって構成され、第3図に示すようにワード線電圧 V_WをOVから所定の高電圧にすることによってキャッシュ Cの情報電荷をIGFET Qを介してデジット線 DLに脱出し、「0」情報に対応したデジット線電圧 V_{D0}又は「1」情報に対応したデジット線電圧 V_{D1}を得るようになっている。そして、このような半導体記憶装置は、第8図及び第6図に示すようにセンスアンプ SAに接続される一対のデジット線 DLに対して各ワード線 WLがどのように交叉するかとの観点から一交点方式のものと二交点方式のものとに大別されるのが普通である。すなわち、一交点方式のものは第8図に示すように1つのセンスアンプ SAに接続される一対のデジ

(1)

(2)

ト線D Lに対して各ワード線W Lが1回しが交叉しないものであり、二交点方式のものは1つのセンスアンプ8 Aに接続される一対のデジット線D Lに対して各ワード線W Lが2回交叉するものである。

上記のようなワード線-デジット線交叉配置は、当然にセル配置及び周辺回路配置に影響を及ぼすものであり、一交点方式の構造は二交点方式のものに比べてセル及び周辺回路配置が複雑で、密度高集成化に適らない欠点がある。このため、最近の装置は殆ど二交点方式のものになっており、その代表的なセル構造は第5図及び第6図に例示されている。

第5図及び第6図は、従来の二交点方式の半導体記憶装置のとなり合う一対のセルの構造を示すもので、これらの図において、10はP型シリコンからなる半導体基板、12は基板表面を遮断化して形成したN+ 10からなる厚いフィールドオキサイド膜、12 Xはフィールドオキサイド膜12 Xにアタティップ膜形成用に設けた開口部又は

(3)

及び第3のIGFETのゲートないしワード線として作用するポリシリコン層16 A, 16 Bが形成されている。これらのポリシリコン層16 A, 16 BはCVD法等により低抵抗の第2層自記録として形成されるもので、第5図に示すようにポリシリコン層16の開孔部16 Aを横切るように平凹パターンで、しかも図示しないN+ 10などの層間絕縁膜を介してポリシリコン層16から遮断された形で形成されている。

N⁺型膜18, 20 A, 20 Bはポリシリコン層14, 16 A, 16 Bを形成後、これらをマスクとしたいわゆる自回収方式の露敷及び/又はイオン打込等の処理で形成されたもので、N⁺型膜18は第1及び第3のIGFETに共通のソース膜として、またN⁺型膜20 A, 20 Bはそれぞれ第1及び第3のIGFETのドレイン膜として作用するようになっている。

ポリシリコン層16, 16 A, 16 Bの上には、S10, などの層間絕縁膜22がCVD法等により形成されており、この絶縁膜22の上には、ワ

(4)

特開昭55-99762(2)
その輪郭を示すものである。アタティップ膜形成用開口部12 X内の基板表面には熱焼化粧により形成された薄いシリコンオキサイド膜12 A, 12 B, 12 A, 12 Bが配置されている。シリコンオキサイド膜12 A, 12 Bはそれぞれ第1及び第3の情報蓄積用キャッシュの隣電極として作用するものであり、シリコンオキサイド膜12 A, 12 Bはそれぞれ第1及び第3のIGFETのゲート絶縁膜として作用するものである。シリコンオキサイド膜12 A, 12 B, 12 Cはそれぞれ第1及び第3のIGFETのゲート絶縁膜として作用するものである。シリコンオキサイド膜12 A, 12 Bの上には第1層目記録としてのポリシリコン層16がCVD法等により形成されている。このポリシリコン層16は、CVDの過程で又はその後にリン等の不純物が高濃度でドープされることによって低抵抗化されているもので、シリコンオキサイド膜12 A, 12 B上に位置する部分がそれぞれ第1及び第3の情報蓄積用キャッシュの隣電極として作用するようになっている。一方、シリコンオキサイド膜12 A, 12 Bの上にはそれぞれ第1

(4)

ード線用ポリシリコン層16 A, 16 Bとは僅量交するようにA 16等からなるデジット線用金属層8もが形成されている。この金属層8もは、第3層目の記録として蓄着等により形成されるもので、その一部分CNは絶縁膜22に設けたコンタクト孔を介して共通ソース膜20 Bにオーバーマッピングしている。

上記構成の半導体装置は、一交点方式のものに比べてセル及び周辺回路配置が簡略で、高密度集成化に好適である利点を有する反面、ワード線がポリシリコンで形成されているためその抵抗が大きく、動作速度が遅い欠点がある。すなわち、通常ワード線の容量は3~6 pFであり、ワード線をポリシリコンで形成するとその記録抵抗は10~60 KΩとなる。このため、かような容量分と抵抗分による信号遮断作用が相当大きくなり、寄込速度ないし読み出速度が低く制限されることになる。いま第7図を参照して読み出時の動作遮断を例示すると、ワード線に駆動パルスを印加してからワード線電圧V_Wが定常値に達するまでには約

(5)

ることなく高速動作を可能にした改良された二交点方式の半導体記憶装置を提供することにある。

この発明の一実施例による半導体記憶装置は、情報蓄積用キャッシュの表面電極を第1層目のポリシリコンで、情報伝達用IGFETのゲートを第3層日のポリシリコンで、デジット線を第8層目のポリシリコンでそれぞれ形成すると共に、ワード線を第6層目の金属層で形成したことを特徴とするものであり、以下、接付面について詳述する。

第8図及び第9図は、この発明の一実施例による1トランジスタ型セル構造を有する二交点方式の半導体記憶装置を示すもので、特に第8図はとなり合うセルの平面記憶を、第9図は第8図とII面に沿う断面をそれぞれ示している。これらについて、第5図及び第6図におけると同様な部分には同様な符号を付してその詳細な説明を省略する。第8図及び第9図に示した装置の特徴とするところは、第1にゲート絶縁膜としてのシリコンオキサイド層18a、18b上にそれぞれ配

(8)

の点、ポリシリコンのシート抵抗は10Ω/□以下に低下させるのが困難であり、この発明によればワード線の配線抵抗を従来の約1/10程度に低下させることができる。また、ワード線の配線抵抗の低下は、雑音の影響で生ずる誤動作を防止し、動作の安定性を高める点でも有効である。さらに、この発明の装置では、デジット線、IGFETのゲート及びキャッシュの表面電極がいずれもポリシリコンで構成され、比較的良質の少ない最上層(第6層)のみが金属配線となっているので、断線事故の発生を最少限に抑ええることができる、高い信頼性を確保することができる。なお、この発明の装置は二交点方式のものであるから、一交点方式のものの欠点を伴わないことは明らかであろう。

図面の簡単な説明

第1図は、1トランジスタ型メモリセルの等価回路図、第2図は、第1図の回路の動作を説明するためのタイムチャート、第3図及び第4図はワード線及びデジット線の配線を示す平面図、第5

80

80~60nsecの時間を要する。そして、このような時間遅れの後、情報伝達用IGFETが十分導通してから“1”又は“0”に対応したデジット線電圧 V_D 又は V_D が定常値に達する。一方、センスアンプは増幅指令信号が約10~80nsecで定常値に達するため情報伝達用IGFETが十分導通する以前に増幅動作を開始している。しかし、上記のようワード線ないしデジット線の電圧立ち上がりが遅いのではいくらセンスアンプの動作開始が遅くても読み出速度は遅くならないものである。

なお、ワード線抵抗を減らして動作速度を高めるためには、第5図及び第6図に示した装置において、ワード線16A、16BをA等の金属で形成することも考えられるが、これではその形成手段として蒸着法等を用いることになるため製造部(例えばフィールドオキサイド開口部12X)で断線が生じやすく、装置の信頼性が低下する欠点がある。

従って、この発明の目的は、信頼性を低下させ

(7)

施した8層目ポリシリコン層80A、80Bをそれぞれ第1及び第8のIGFETのゲート電極としてのみ用いるようにし、ワード線に専用しないようにしたこと、第8CN⁺層共通ソース側端18bにコンタクト部CN1にて接続されるデジット線を8層目のポリシリコン層83で形成したこと、第8CN⁺層83と直交するワード線を...のようなら6層目の金属層86A、86Bで形成し、これらの金属層86A、86Bの各一部分CN₈、CN₈をB10₁などからなる層間絕縁膜84の対応するコンタクト孔を介してゲート用ポリシリコン層80A、80Bにそれぞれオーバーライド接觸させるようにしたことである。なお、上記実施例において、IGFETのゲートを1層目ポリシリコンで形成し、キャッシュの表面電極を8層目ポリシリコンで形成するようにしてもよい。

上記したこの発明の構成によれば、金属層86A、86Bのシート抵抗を10Ω/□程度に低下させることからワード線の配線抵抗を大幅に減らし、高速動作を行なわせるとが可能になる。こ

(8)

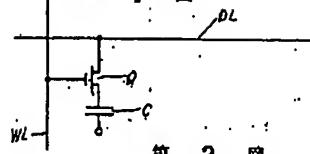
図は、従来の1トランジスタセル構造の半導体記憶装置の電極配線を示す上図、第6図は、第5図の装置の第一引線に沿う断面図、第7図は、第5図の装置の動作を説明するためのタイマチャート、第8図は、この発明の一実施例による1トランジスタセル構造の半導体記憶装置の電極配線を示す上図、第9図は、第8図の装置の第一引線に沿う断面図である。

10…半導体基板、12、12A、12B、
12a、12b…シリコンオキサイド膜、14…
キャピシタの接地面電板としてのポリシリコン層、
16A、16B…ゲート・ワード線用ポリシリ
コン層、18…共通ソース電極、8-0A、8-0B
…ドレイン電極、8-2、8-4…漏防絶縁膜、8-6
…ゲジット線用金属層、8-0A、8-0B…ゲート
用ポリシリコン層、8-8…ゲジット線用ポリシリ
コン層、8-6A、8-6B…ワード線用金属層。

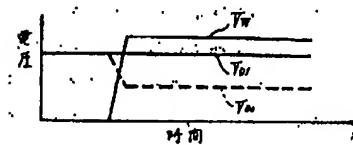
代理人弁理士 審田和幸

00

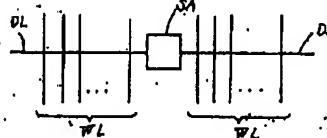
第1図



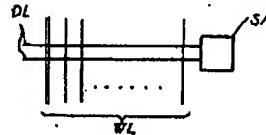
第2図



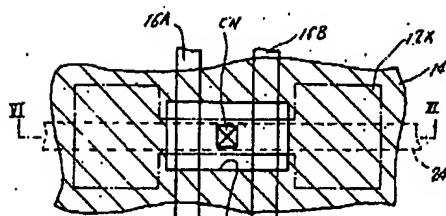
第3図



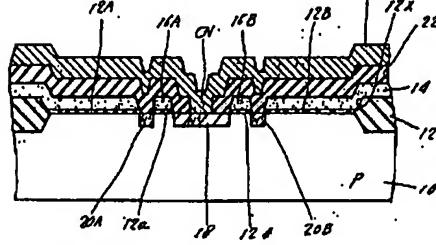
第4図



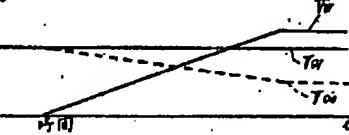
第5図



第6図

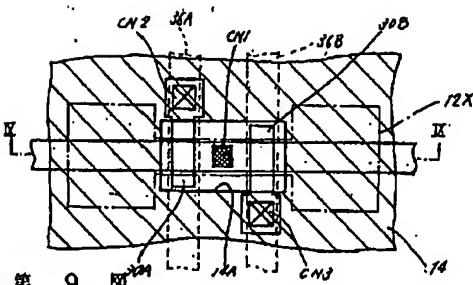


電圧

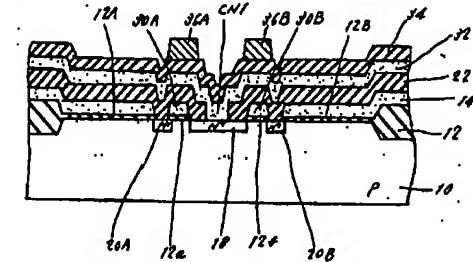


-322-

第8図



第9図



昭 61. 4. 15 発行

特許法第17条の2の規定による補正の掲載

昭和 54 年特許願第 7126 号(特開 昭 55-99762 号, 昭和 55 年 1 月 30 日 発行 公開特許公報 55-998 号掲載)については特許法第17条の2の規定による補正があつたので下記のとおり掲載する。 7 (1)

Int. C1.	識別記号	庁内整理番号
H01L 27/08		6855-57
C11C 11/14	101	8522-58
H01L 29/18		8422-57

手 布谷 伸吾 (自発)

昭和 61 年 1 月 24 日

特許庁長官印

事件の表示

昭和 54 年 特許願 第 7126 号

発明の名 称

半導体記憶装置

方 式
審 査

補正をする者

事件との関係 特許出願人

名 称 (510) 株式会社 日立製作所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内
電話 東京 212-1111 (大代表)

氏 名 (6850) 弁理士 小 川 勝 男

特許庁
61. 1. 24
山形第二課

補正の対象

明細書の特許請求の範囲の欄

補正の内 容

1. 明細書の特許請求の範囲の記載を別紙のとおりに補正する。

別 紙

特許請求の範囲

1. 絶縁ゲート型電界効果トランジスタによって情報蓄積用キャパシタへの情報電荷の出し入れを制御するようにしたメモリセルと、各メモリセルの絶縁ゲート型電界効果トランジスタのゲート間を電気的に接続するための接続用配線とを備えてなる二交点方式の半導体記憶装置であつて、上記ゲートの配線材料と上記接続用配線の材料とを異ならせたことを特徴とする半導体記憶装置。

代理人 弁理士 小 川 勝 男

印

—/
(+) —

BEST AVAILABLE COPY